

#3/6-16-01  
Date  
Jc872 U.S. PTO  
09/990362  
11/23/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Ken UCHIDA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: Herewith

FOR: LOGIC APPARATUS AND LOGIC CIRCUIT

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

Japan

2000-357789

November 24, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration Number 21,124

Registration Number 21,124



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JC872 U.S. PTO  
09/990362  
11/23/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月24日

出 願 番 号

Application Number:

特願2000-357789

出 願 人

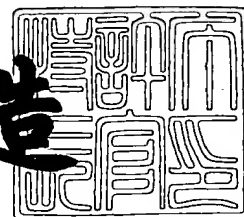
Applicant(s):

株式会社東芝

2001年 9月27日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3088659

【書類名】 特許願

【整理番号】 13B00X0511

【提出日】 平成12年11月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 論理回路

【請求項の数】 7

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

    【氏名】 内田 建

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

    【氏名】 古賀 淳二

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

    【氏名】 大場 竜二

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100081732

    【弁理士】

    【氏名又は名称】 大胡 典夫

【選任した代理人】

    【識別番号】 100075683

    【弁理士】

【氏名又は名称】 竹花 喜久男

【選任した代理人】

【識別番号】 100084515

【弁理士】

【氏名又は名称】 宇治 弘

【手数料の表示】

【予納台帳番号】 009427

【納付金額】 21,000円

【その他】 「国などの委託研究の成果に係る特許出願（平成12年度新エネルギー・産業技術総合開発機構「量子化機能素子の研究開発」委託研究、産業活力再生特別措置法第30条の適用を受けるもの）」

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001435

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 論理回路

【特許請求の範囲】

【請求項 1】

少なくとも 2 つのトンネル障壁を有する伝導島と、

前記伝導島と前記トンネル障壁を介して配置された第 1 の電極及び第 2 の電極と、

前記伝導島と対向配置された電荷蓄積領域とからなる第 1 の論理素子と、

少なくとも 2 つのトンネル障壁を有する伝導島と、

前記伝導島と前記トンネル障壁を介して配置された第 1 の電極及び第 2 の電極と、

前記伝導島と対向配置された電荷蓄積領域とからなる第 2 の論理素子とを具備し、

前記第 1 の論理素子及び前記第 2 の論理素子が接続されたことを特徴とする論理回路。

【請求項 2】

前記第 1 及び第 2 の論理素子のそれぞれについて、前記伝導島に絶縁膜を介して対向配置された第 3 の電極を具備し、

前記第 1 の論理素子における前記第 1 の電極及び前記第 2 の論理素子における前記第 1 の電極が接続され、

論理信号が、前記第 1 及び第 2 の論理素子における前記第 3 の電極から入力され、前記第 1 の電極から論理演算結果が出力されることを特徴とする請求項 1 記載の論理回路。

【請求項 3】

前記第 1 及び第 2 の論理素子のそれぞれについて、前記伝導島に絶縁膜を介して対向配置された第 3 の電極を具備し、

前記第 1 の論理素子における前記第 1 の電極及び前記第 2 の論理素子における前記第 1 の電極が接続され、

論理信号が、前記第 1 及び第 2 の論理素子における前記第 3 の電極から入力さ

れ、前記第 1 の論理素子における前記第 2 の電極から論理演算結果が出力されることを特徴とする請求項 1 記載の論理回路。

【請求項 4】

前記第 1 及び第 2 の論理素子は、前記電荷蓄積領域に電荷が存在する状態と存在しない状態とで論理反転の関係にあることを特徴とする請求項 1 記載の論理回路。

【請求項 5】

前記電荷蓄積領域に電荷を注入或いは抽出できる手段を具備することを特徴とする請求項 1 記載の論理回路。

【請求項 6】

前記伝導島及び前記電荷蓄積領域間に電位差を発生させて、前記電荷蓄積領域に電荷を注入或いは抽出することを特徴とする請求項 1 記載の論理回路。

【請求項 7】

前記第 3 の電極と前記伝導島との間に前記蓄積領域が配置されていることを特徴とする請求項 2 或いは請求項 3 記載の論理回路。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、論理装置に関し、特に電荷の帯電効果を利用した単一電荷素子を用いた論理装置に関する。

【 0 0 0 2】

【従来の技術】

従来の半導体集積回路装置（L S I）は、製造前にその機能に応じた設計がなされ、半導体チップ上にトランジスタや配線が集積化された後には、その構造及び機能を変更できないために、用途に応じて多品種の L S I が作製されてきていた。これに対してゲートアレイなど一部の L S I はトランジスタが集積化された半導体チップを出荷した後に、ユーザーがゲート配線を接続することによって、ユーザーの用途に応じた演算処理機能を後から付加できる汎用チップも考案されているが、その設計自由度はきわめて低いものである。

【 0 0 0 3 】

また、前述したゲートアレイではユーザーが施さなければならない工程はゲートを接続するための配線等を形成することである。したがって蒸着、露光、現像等の各工程いわゆる半導体製造工程を必要とするため、ユーザーは、それなりの半導体製造設備を持たなければならないという制約もある。

【 0 0 0 4 】

このような状況から、近年リコンフィギャラブル・コンピューティング（例えば末吉ら著「情報処理」40巻8号778ページ等）と呼ばれる設計思想が次世代のシステム設計の指導原理として注目を集めている。

【 0 0 0 5 】

このリコンフィギャラブル・コンピューティングとは、汎用性のある半導体チップを形成しておけば、ユーザーの所望する用途に応じて簡単な操作によってLSIの演算処理機能を変更可能な技術である。従来のゲートアレイと大きく違う点は、リコンフィギャラブル・コンピューティングでは、配線を形成するといった半導体製造工程を必要とせず、プログラムの変更等簡便な方法により論理演算の変更を可能としたものである。

【 0 0 0 6 】

このようなリコンフィギャラブル・コンピューティングが可能なLSIを実現できれば、少品種の基本のLSIを大量に生産し、簡便な方法で多品種の機能に変更可能なことで製品歩留の著しい向上を期待できる。

【 0 0 0 7 】

ここでリコンフィギャラブル・コンピューティングを実現するためには、論理演算を行うための最小構成素子である論理素子に、最適化した動作を記憶する機能を具備させ、用途に応じて書き換え可能にする必要がある。現在EEPROM等の不揮発性のメモリが、上述したリコンフィギャラブル・コンピューティングに用いる論理素子として、研究が成されてきた（久米著「応用物理」第65巻第11号1114ページ）。

【 0 0 0 8 】

EEPROMとしてフラッシュメモリセルの特性を簡単に説明する。

## 【 0 0 0 9 】

図 1 5 はフラッシュメモリの基本的構造である。ソース領域 3 0 1 とドレイン領域 3 0 2 間にチャネル領域 3 0 3 が形成されている。チャネル領域 3 0 3 上には、第 1 のゲート絶縁膜 3 0 4 を介して浮遊ゲート 3 0 5 が形成されている。浮遊ゲート 3 0 5 上には、第 2 のゲート絶縁膜 3 0 6 を介して制御ゲート 3 0 7 が形成されている。

## 【 0 0 1 0 】

このようなフラッシュメモリについて、浮遊ゲート電極に電子が注入されていないときのゲート電圧とドレイン電流の関係は、図 1 6 の実線 3 0 8 で、浮遊ゲート電極に基板から電子を注入したときのゲート電圧とドレイン電流の関係は図 1 6 の破線 3 0 9 で表される。このように電子を注入すると MOS FET の閾値が高くなる効果、あるゲートバイアス条件のもとでは、電流の ON / OFF を電子の注入状態によって制御することが可能となる。また、注入した電荷は、バイアス条件を適当にとることで抜き去ることが可能であり、図 1 6 に示す実線 3 0 8 の特性に戻すことができる。

## 【 0 0 1 1 】

このように EEPROM は、そのプログラム性からリコンフィギャラブル・コンピューティングが可能な高度な時代のシステムの論理素子として注目されてきた。

しかしながら EEPROM は、駆動電圧が高く、また保持時間が十分でないなどの問題があり、いまだに製品化されていない。

## 【 0 0 1 2 】

【発明が解決しようとする課題】

また、EEPROM では、電流の ON / OFF しか制御できず、この電流の ON / OFF の切り替えだけで、システムの最適化（プログラム）を行わなければならない、プログラム可能な機能ブロックの形成に非常に多くの素子を必要とする問題がある。

## 【 0 0 1 3 】

例えば、最も単純な NAND と NOR の両方の機能を実現するためには、図 1



7に示すように、1個の抵抗12と4個の不揮発性メモリセル10が必要となる。図17中符号11は電源、符号13はグランドを表す。

【0014】

本発明は、上記課題を解決するためになされたもので、駆動電圧が低く保持特性も良好な論理素子を用いることで、極めて高い歩留まり向上が期待されるリコンフィギャラブル・コンピューティングが可能なLSIを提供することを目的とする。

【0015】

本発明は、よりプログラム性の高い論理素子を導入し、システム自体のプログラム性（最適化能力）を高めることを目的とする。

【0016】

また、本発明は、プログラム性を高めることにより、素子数の減少やチップ面積の縮小を図ることを目的とする。

【0017】

【課題を解決するための手段】

本発明は、上記目的を達成するために、少なくとも2つのトンネル障壁を有する伝導島と、

前記伝導島と前記トンネル障壁を介して配置された第1の電極及び第2の電極と、

前記伝導島と対向配置された電荷蓄積領域とからなる第1の論理素子と、

少なくとも2つのトンネル障壁を有する伝導島と、

前記伝導島と前記トンネル障壁を介して配置された第1の電極及び第2の電極と、

前記伝導島と対向配置された電荷蓄積領域とからなる第2の論理素子とを具備し、

前記第1の論理素子及び前記第2の論理素子が接続されたことを特徴とする論理回路を提供する。

【0018】

このとき、前記第1及び第2の論理素子のそれぞれについて、前記伝導島に絶

縁膜を介して対向配置された第 3 の電極を具備し、

前記第 1 の論理素子における前記第 1 の電極及び前記第 2 の論理素子における前記第 1 の電極が接続され、

論理信号が、前記第 1 及び第 2 の論理素子における前記第 3 の電極から入力され、前記第 1 の電極から論理演算結果が出力されることが好ましい。

【 0 0 1 9 】

また、前記第 1 及び第 2 の論理素子のそれぞれについて、前記伝導島に絶縁膜を介して対向配置された第 3 の電極を具備し、

前記第 1 の論理素子における前記第 1 の電極及び前記第 2 の論理素子における前記第 1 の電極が接続され、

論理信号が、前記第 1 及び第 2 の論理素子における前記第 3 の電極から入力され、前記第 1 の論理素子における前記第 2 の電極から論理演算結果が出力されることが好ましい。

【 0 0 2 0 】

また、前記第 1 及び第 2 の論理素子は、前記電荷蓄積領域に電荷が存在する状態と存在しない状態とで論理反転の関係にあることが好ましい。

【 0 0 2 1 】

また、前記電荷蓄積領域に電荷を注入或いは抽出できる手段を具備することが好ましい。

【 0 0 2 2 】

また、前記伝導島及び前記電荷蓄積領域間に電位差を発生させて、前記電荷蓄積領域に電荷を注入或いは抽出することが好ましい。

【 0 0 2 3 】

また、前記第 3 の電極と前記伝導島との間に前記蓄積領域が配置されていることが好ましい。

【 0 0 2 4 】

【発明の実施の形態】

以下に、本発明の好ましい実施の形態を、図面を用いて詳細に説明する。

【 0 0 2 5 】

図 1 は、本発明の論理装置に用いる最小単位の構成素子である論理素子の断面図である。この論理素子は、単一電子素子の伝導島に電荷蓄積領域を対向配置させた構造となっている。

## 【 0 0 2 6 】

図 1 に示すように、この論理素子は、シリコン等からなる半導体基板 1 0 0 上に酸化シリコン等の絶縁膜 1 6 が形成されている。この絶縁膜 1 6 上にはシリコン等からなる伝導島 1 5 が形成されている。この伝導島 1 5 は酸化シリコン等の絶縁膜 4 に埋め込まれている。

## 【 0 0 2 7 】

また、半導体基板上 1 0 0 上には、第 1 の電極 1 及び第 2 の電極 2 が形成されている。これら第 1 の電極 1 及び第 2 の電極 2 も絶縁膜 4 に埋め込まれている。また、第 1 の電極 1 及び第 2 の電極 2 はそれぞれ絶縁膜 4 を介して伝導島 1 5 と対向するように配置されている。そして第 1 の電極 1 と伝導島 1 5 間の絶縁膜 4 はトンネル絶縁膜 1 0 1 として作用し、第 1 の電極 1 から伝導島 1 5 に、電荷として例えば電子がトンネル絶縁膜 1 0 1 を介して注入可能となっている。第 2 の電極 2 と伝導島 1 5 間の絶縁膜 4 もトンネル絶縁膜 1 0 2 として作用し、伝導島 1 5 から第 2 の電極 2 に、電荷として例えば電子がトンネル絶縁膜 1 0 2 を介して抽出可能となっている。もちろん電極 2 から電荷を注入し、電極 1 から電荷を抽出することもできる。また、伝導島 1 5 には電荷を蓄えることができる。

## 【 0 0 2 8 】

この構成により電子 1 個 1 個の動きを制御することが可能な単一電子素子を構成している。

## 【 0 0 2 9 】

伝導島 1 5 上には絶縁膜 4 を介して多結晶シリコン等からなる電荷蓄積領域 5 が形成されている。電荷蓄積領域 5 上には、例えば酸化シリコン等からなるゲート絶縁膜 6 が形成されている。このゲート絶縁膜 6 上には、多結晶シリコン等からなる第 3 の電極 7 が形成されている。ここで、前記第 1 の電極 1、第 2 の電極 2 及び第 3 の電極 3 の電極は、広義の電極を指すものであってトンネル絶縁膜 1 0 1 若しくは 1 0 2 よりも抵抗が低いものであれば、金属材料や半導体或いは有

機材料等であっても良い。

#### 【 0 0 3 0 】

絶縁膜 4 のうち、伝導島 1 5 と電荷蓄積領域 5 の間はトンネル絶縁膜 1 0 3 として作用し、第 3 の電極 7 の電位を変化させることによって、伝導島 1 5 と電荷蓄積領域 5 間は電子が移動可能となっている。このようにして電荷蓄積領域 5 に電荷を注入或いは抽出できる。

#### 【 0 0 3 1 】

この構造により電荷蓄積領域 5 に電荷として例えば電子を蓄積可能なメモリ構造となっている。

#### 【 0 0 3 2 】

このように構成した論理素子では、単一電子素子の構造から低消費電力化が期待でき、電荷蓄積領域 5 を有することからメモリ性を期待できる。

#### 【 0 0 3 3 】

また電荷蓄積領域 5 はトンネル絶縁膜 1 0 3 を介して、伝導島 1 5 に対向配置されており、電荷蓄積領域 5 に電荷を蓄積する場合と蓄積しない場合によって、伝導島 1 5 のエネルギー状態を変化させ、単一電子素子のクーロン振動を変化させることが可能となる。この特性については後で詳述する。

#### 【 0 0 3 4 】

図 2 は、図 1 で示す論理素子を模式的に示した等価回路図である。

#### 【 0 0 3 5 】

図 2 中、符号 1 は、図 1 における第 1 の電極 1、符号 2 は図 1 における第 2 の電極 2 を表す。符号 1 5 は図 1 における伝導島 1 5 を表す。伝導島 1 5 と第 1 の電極 1 との間にはトンネル絶縁膜 1 0 1、伝導島 1 5 と第 2 の電極 2 との間にはトンネル絶縁膜 1 0 2 が介されている。符号 7 は図 1 における第 3 の電極 7 を表す。符号 1 8 は図 1 における電荷蓄積領域 5 を表し、この場合電荷が蓄積されていない状態を示す。第 3 の電極 7 と伝導島 1 5 は、キャパシタ 1 0 4 で示す電荷容量をもって結合している。キャパシタ 1 0 4 は、図 1 における伝導島 1 5 / トンネル絶縁膜 1 0 3 / 浮遊ゲート 5 のキャパシタ、浮遊ゲート 5 / ゲート絶縁膜 6 / 第 3 の電極 7 のキャパシタの結合容量である。また、第 3 の電極 7 と電荷蓄

積領域 5（図 2 では電子が蓄積されていない状態 1 8 で示している）とは、キャパシタ 1 0 5 で示す電荷容量をもって結合している。キャパシタ 1 0 5 は、図 1 における浮遊ゲート 5 / ゲート絶縁膜 6 / 第 3 の電極 7 のキャパシタである。

## 【 0 0 3 6 】

図 3 に、図 1 に示す論理素子の第 1 の電極 1 と第 2 の電極 2 間の電流  $I_d$  を縦軸、第 3 の電極 7 に印加する電圧  $V_g$  を横軸にとった電流電圧特性を示す。図 3 中、実線 1 4 で表す電流電圧特性は、電荷蓄積領域 5 に電荷が蓄積されていない状態のものである。また、破線 1 7 で表す電流電圧特性は、電荷蓄積領域 5 に電荷が蓄積している状態のものである。

## 【 0 0 3 7 】

いずれの場合も電流電圧特性は、図 3 に示すような振動特性を示す。以下慣例にしたがってこの振動をクーロン振動と呼ぶ。

## 【 0 0 3 8 】

図 3 に示すように、電荷蓄積領域 5 に電荷が蓄積されている状態と蓄積されていない状態で、クーロン振動が半周期ずれるように設定されている。クーロン振動が半周期ずれるように論理素子を設計するには、伝導島 1 5 のエネルギー準位をその大きさや材料を種々選ぶことで実現でき、電荷蓄積領域 5 に蓄積される電荷量を調整することによって調整できる。

## 【 0 0 3 9 】

ここで電荷蓄積領域 5 に電荷が蓄積していない状態でのクーロン振動の最初のピークを与える第 3 の電極に引加する電圧を  $V_H$  とする。また、電荷蓄積領域 5 に電荷が蓄積していない状態でのクーロン振動の最初のバレーを与える第 3 の電極 7 に引加する電圧を  $V_L$  とする。また、電荷蓄積領域 5 に電荷が蓄積していない状態でのクーロン振動の最初のバレーを与える第 3 の電極 7 に引加する電圧を  $V_L$  とする。

## 【 0 0 4 0 】

図 3 に示すように、電荷蓄積領域 5 に電荷を蓄積しない状態では、第 3 の電極 7 に引加する電圧  $V_L$  ではクーロン振動のバレー、すなわち電流が OFF 状態になっている。また、電圧  $V_H$  ではクーロン振動のピーク、すなわち電流が ON 状

態になっている。

【0041】

また、電荷蓄積領域5に電荷を蓄積すると、図3中破線17に示すように、クーロン振幅は半周期ずれる。クーロン振幅が半周期ずれると電圧VLはクーロン振幅のピーク、すなわち電流がON状態になる。また、電圧VHはクーロン振幅のバレー、すなわち電流がOFF状態になる。

【0042】

つまり電荷蓄積領域5に電荷が蓄積している状態と蓄積していない状態で、電圧がVLとVHにおける出力が反転する関係となっている。

【0043】

図4に、図1に先ず論理素子の電荷蓄積領域に電荷が蓄積されていない状態の電流電圧特性及び回路図(a)と、電荷が蓄積されている状態の電流特性及び回路図(b)を分けて示す。図4では左側に電流電圧特性、右側に論理素子の回路図を示している。符号18は電荷蓄積領域5に電荷が蓄積されていない状態、符号19は電荷蓄積領域5に電荷が蓄積されている状態を示している。

【0044】

図4に示すように、この論理素子では、電荷蓄積領域5に電荷を蓄積させない状態(a)と電荷を蓄積する状態(b)において、同じ第3の電極72引加する電圧で互いに第1の電極1及び第2の電極2間に流れる電流の大きさ、つまりON状態とOFF状態が反転する。つまりこの論理素子では第3の電極7の入力に対し(a)と(b)の違いによって互いに論理反転の関係を示す。すなわち電荷蓄積領域5に電荷が蓄積していない状態(a)の出力をA、電荷蓄積領域5に電荷が蓄積している状態(b)の出力をBとすると、

$$B = \text{NOT}(A) \cdots \text{式}(1)$$

の論理関係が成り立つことを意味している。

【0045】

本発明では、メモリ作用のある電荷蓄積領域5に電荷を蓄積する状態と蓄積しない状態で、論理反転の関係にあるこのデバイスを論理素子として用い、これを複数組み合わせ論理装置を構成することを要旨とする。こうすることで論理素子

に最適にした動作を記憶する機能を具備させ論理素子を集積化しLSIチップを完成後もメモリのプログラムを変更することによって容易に論理演算の変更をすることができる。したがって基本のLSIチップを大量生産することが可能となり、歩留まりの向上を期待できる。また、基本のLSIチップのメモリ内容を用途に応じてプログラムを変更することで、LSIチップに様々な機能を持たせることができる。

【0046】

以下に、より具体的な論理回路の構成について説明する。

【0047】

(実施形態1)

図5は、図1乃至図4で説明した論理素子を2個並列に接続した場合の基本的な論理回路図である。

【0048】

図5において、第1の論理素子106の第1の電極1と第2の論理素子107の第1の電極1とが接続されている。これらの第1の電極1は抵抗負荷12を介して電圧V<sub>H</sub>の電源11に接続されている。また、第1の論理素子106の第2の電極2は電圧V<sub>L</sub>のグランド13に接続されている。第2の論理素子107の第2の電極2もグランド13に接続されている。第1の論理素子106及び第2の論理素子107ともに、電荷蓄積領域5には電荷が蓄積されていない状態18である。同一符号は図1、図2及び図4に示す論理素子と同じなので説明を省略する。

【0049】

第1の論理素子106における第3の電極7にはA（電圧V<sub>L</sub>またはV<sub>H</sub>）が入力され、第2の論理素子107における第3の電極7にはB（電圧V<sub>L</sub>またはV<sub>H</sub>）が入力される。この回路の出力は第1の論理素子1及び第2の論理素子が互いに接続された電極である第1の電極1からである。

【0050】

このときA、Bが共にV<sub>H</sub>の場合、図4（a）に示すように電流が流れ、抵抗負荷12の電圧降下によって、第1の電極1の出力はV<sub>L</sub>となる。またA、Bが

共にV Lの場合、電流が流れないので第1の電極1の出力はV Hとなる。A、Bの一方がV H、他方がV Lの場合、いずれか一方の電流が流れるので、抵抗負荷12の電圧降下によって、第1の電極1の出力はV Lとなる。V L = 0、V H = 1とすると、第1の電極から出力される演算結果はNOT (A + B)となり、いわゆるNORの動作となる。

## 【0051】

次に、第1の論理素子106だけ電荷蓄積領域5に電荷を蓄積させると、第1の論理素子106の出力は式(1)より、NOT (A)となる。したがって演算出力は、NOT (NOT (A) + B)となり、ド・モルガンの定理を利用すると、 $A \cdot \text{NOT} (B)$ となる。

## 【0052】

反対に第1の論理素子106の電荷蓄積領域5には電荷を蓄積させず、第2の論理素子107の電荷蓄積領域5に電荷を蓄積させる。このとき第2の論理素子107の出力は式(1)より、NOT (B)となる。したがって演算出力は、NOT (A + NOT (B))となり、ド・モルガンの定理を利用すると、 $\text{NOT} (A) \cdot B$ となる。

## 【0053】

次に、図6に第1の論理素子106及び第2の論理素子107共に電荷蓄積領域5に電荷を蓄積させた状態19にした場合を示す。

## 【0054】

この場合式(1)を用いると第1の論理素子106の出力はNOT (A)、第2の論理素子107はNOT (B)となり、演算出力はNOT (NOT (A) + NOT (B))となる。ド・モルガンの定理を用いると、 $A \cdot B$ となり、いわゆるAND動作となる。

## 【0055】

図7に第1の論理素子に入力されたAで表す波形、第2の論理素子に入力されたBで表す波形について、出力がNOT (A + B)、 $A \cdot \text{NOT} (B)$ 、 $\text{NOT} (A) \cdot B$ 、 $A \cdot B$ の出力波形について示す。

## 【0056】



このように上記論理装置は、電荷蓄積領域に電荷を蓄積する状態或いはしない状態によって、NOR、 $A \cdot \text{NOT}(B)$ 、 $\text{NOT}(A) \cdot B$ 、ANDの4つの論理動作を行うことが可能になり、2つの論理素子においても飛躍的に高いプログラム性を実現できることが分かる。

## 【 0 0 5 7 】

図8は、図6に示した論理回路図において、第1の電極1に接続されたアンプ21を接続して出力としたものである。単一電子素子をより有効に機能させるためには、単一電子素子を含む論理ツリーに印加する電源11の電圧を( $V_H - V_L$ )よりも小さくし、論理ツリーの出力部にアンプを接続することで、次段への入力電圧が $V_L$ から $V_H$ の間となることが望ましい。このように出力部にアンプ21を接続することで電源11の電圧を小さく抑えることができる。

## 【 0 0 5 8 】

図9は、図1に示した論理素子を2個図5に示した回路に集積化した図である。

## 【 0 0 5 9 】

図9に示すように、第1の論理素子106における第1の電極1、第2の論理素子107における第1の電極1が共通の電極領域を構成し、抵抗負荷12を介して、電源11と接続されている。また、第1の論理素子106における第2の電極2及び第2の論理素子107における第2の電極2は、それぞれグランド103に接続されている。

## 【 0 0 6 0 】

第1の論理素子106における第3の電極7及び第2の論理素子107における第3の電極7からそれぞれ論理信号A、Bが入力されている。

## 【 0 0 6 1 】

電荷蓄積領域5は、それぞれ第1の電極1或いは第2の電極2と第3の電極間に電位差を印加することで、電子或いは正孔等の電荷を注入或いは抽出可能となっている。こうすることでメモリ効果を有する。

## 【 0 0 6 2 】

図1、図2、図4、図5及び図6と同一箇所は、同一符号を付してその説明は

省略した。

【 0 0 6 3 】

(実施形態 2)

図 1 0 は、図 1 乃至図 4 で説明した論理素子を直列に接続した場合の基本的な論理回路図である。

【 0 0 6 4 】

図 1 0 において、第 1 の論理素子 1 0 6 における第 1 の電極 1 と第 2 の論理素子 1 0 7 における第 1 の電極 1 とが接続されている。第 1 の論理素子 1 0 6 における第 2 の電極 2 は抵抗負荷 1 2 を介して電圧  $V_H$  の電源 1 1 に接続されている。また、第 2 の論理素子 1 0 7 における第 2 の電極 2 は電圧  $V_L$  のグラウンド 1 3 に接続されている。第 1 の論理素子 1 0 6 及び第 2 の論理素子 1 0 7 とともに、電荷蓄積領域 5 には電荷が蓄積されていない状態 1 8 である。同一符号は図 1、図 2 及び図 4 に示す論理素子と同じなので説明を省略する。

【 0 0 6 5 】

第 1 の論理素子 1 0 6 における第 3 の電極 7 には A (電圧  $V_L$  または  $V_H$ ) が入力され、第 2 の論理素子 1 0 7 における第 3 の電極 7 には B (電圧  $V_L$  または  $V_H$ ) が入力される。

【 0 0 6 6 】

このとき A、B が共に  $V_H$  の場合、図 4 (a) に示すように電流が流れ、抵抗負荷 1 2 の電圧降下によって、第 1 の電極 1 の出力は  $V_L$  となる。また A、B が共に  $V_L$  の場合、電流が流れないので第 1 の電極 1 の出力は  $V_H$  となる。A、B の一方が  $V_H$ 、他方が  $V_L$  の場合、いずれか一方は電流が流れないので、第 1 の電極 1 の出力は  $V_H$  となる。 $V_L = 0$ 、 $V_H = 1$  とすると、第 1 の電極から出力される演算結果は  $\text{NOT} (A \cdot B)$  となり、いわゆる NAND の動作となる。

【 0 0 6 7 】

次に、第 1 の論理素子 1 0 6 だけ電荷蓄積領域 5 に電荷を蓄積させると、第 1 の論理素子 1 0 6 の出力は式 (1) より、 $\text{NOT} (A)$  となる。したがって演算出力は、 $\text{NOT} (\text{NOT} (A) \cdot B)$  となり、ド・モルガンの定理を利用すると、 $A + \text{NOT} (B)$  となる。

## 【 0 0 6 8 】

反対に第 1 の論理素子 1 0 6 の電荷蓄積領域 5 には電荷を蓄積させず、第 2 の論理素子 1 0 7 の電荷蓄積領域 5 に電荷を蓄積させる。このとき第 2 の論理素子 1 0 7 の出力は式 (1) より、 $\text{NOT} (B)$  となる。したがって演算出力は、 $\text{NOT} (A \cdot \text{NOT} (B))$  となり、ド・モルガンの定理を利用すると、 $\text{NOT} (A) + B$  となる。

## 【 0 0 6 9 】

次に、図 1 1 に第 1 の論理素子 1 0 6 及び第 2 の論理素子 1 0 7 共に電荷蓄積領域 5 に電荷を蓄積させた状態 1 9 にした場合を示す。

## 【 0 0 7 0 】

この場合式 (1) を用いると第 1 の論理素子 1 0 6 の出力は  $\text{NOT} (A)$ 、第 2 の論理素子 1 0 7 は  $\text{NOT} (B)$  となり、演算出力は  $\text{NOT} (\text{NOT} (A) \cdot \text{NOT} (B))$  となる。ド・モルガンの定理を用いると、 $A + B$  となり、いわゆる OR 動作となる。

## 【 0 0 7 1 】

図 1 2 に第 1 の論理素子に入力された A で表す波形、第 2 の論理素子に入力された B で表す波形について、出力が  $A + B$ 、 $\text{NOT} (A) + B$ 、 $A + \text{NOT} (B)$ 、 $\text{NOT} (A \cdot B)$  の出力波形について示す。

## 【 0 0 7 2 】

このように上記論理装置は、電荷蓄積領域 5 に電荷を蓄積しない状態或いはしない状態によって、 $A + B$ 、 $\text{NOT} (A) + B$ 、 $A + \text{NOT} (B)$ 、 $\text{NOT} (A \cdot B)$  の 4 つの論理動作を行うことが可能になり、2 つの論理素子においても飛躍的に高いプログラム性を実現できることが分かる。

## 【 0 0 7 3 】

図 1 3 は、図 1 に示した論理素子を図 1 0 に示した回路に集積化した図である。

## 【 0 0 7 4 】

図 1 3 に示すように、第 1 の論理素子 1 0 6 における第 1 の電極 1、第 2 の論理素子 1 0 7 における第 1 の電極 1 が共通の電極領域を構成している。第 1 の論

理素子 1 0 6 における第 2 の電極 2 は、抵抗負荷 1 2 を介して、電源 1 1 と接続されている。また、第 2 の論理素子 1 0 7 における第 2 の電極 2 は、グランド 1 0 3 に接続されている。

#### 【 0 0 7 5 】

第 1 の論理素子 1 0 6 における第 3 の電極 7 及び第 2 の論理素子 1 0 7 における第 3 の電極 7 からそれぞれ論理信号 A、B が入力されている。

#### 【 0 0 7 6 】

電荷蓄積領域 5 は、それぞれ第 1 の電極 1 或いは第 2 の電極 2 と第 3 の電極間に電位差を印加することで、電子或いは正孔等の電荷を注入或いは抽出可能となっている。こうすることでメモリ効果を有する。

#### 【 0 0 7 7 】

図 1、図 2、図 4、図 1 0 及び図 1 1 と同一箇所は、同一符号を付してその説明は省略した。

#### 【 0 0 7 8 】

実際に L S I として半導体チップとして作成する場合は、実施形態 1、実施形態 2 に示した基本の論理演算ツリーを組み合わせることで、基本の L S I チップとすればよい。

#### 【 0 0 7 9 】

図 1 4 は、不揮発性メモリ機能を内蔵する本発明の論理素子で構成された論理ツリーを演算部、論理ツリーの出力に応じて論理素子のプログラム状態を制御する制御回路が混載された L S I のプログラム制御の手順を示す図である。

#### 【 0 0 8 0 】

図 1 4 に示すように、メモリ効果の制御回路 2 0 0 から不揮発性メモリ効果を内蔵する単一電子素子による論理ツリー 2 0 1、2 0 2 にプログラム可能となっている。これら論理ツリー 2 0 1、2 0 2 は、制御回路 2 0 0 にプログラム状態がどのようなになっているか分かるように、フィードバック可能となっている。また、論理ツリー 2 0 1、2 0 2 は L S I チップ上の異なる領域に集積化されている。論理ツリー 2 0 1 から論理ツリー 2 0 2 に、論理演算を出力可能となっている。論理ツリー 2 0 2 から論理ツリー 2 0 3 に論理演算を出力可能となっている。

。このとき論理ツリー 2 0 3 はプログラムが固定された論理処理を施すものとする。論理ツリー 2 0 3 の出力は C M O S 回路 2 0 4 に出力され、増幅等の処理が施される。

【 0 0 8 1 】

プログラム制御回路の内部には、制御信号を伝達するか否かを制御するスイッチ素子が組み込まれていることが望ましい。

【 0 0 8 2 】

【発明の効果】

本発明は、極めて高い歩留まり向上が期待されるリコンフィギャラブル・コンピューティングが可能な L S I を提供することが可能となる。

【 0 0 8 3 】

また、本発明は、よりプログラム性の高い論理素子を導入し、システム自体のプログラム性（最適化能力）を高めることができる。

【 0 0 8 4 】

また、本発明は、プログラム性を高めることにより、素子数の減少やチップ面積の縮小を図ることができる。

【図面の簡単な説明】

【図 1】 本発明の論理装置を構成する論理素子の断面図。

【図 2】 図 1 に示した本発明の論理装置を構成する論理素子の回路図。

【図 3】 図 1 に示した本発明の論理装置を構成する論理素子の電流電圧特性図、実線は電荷蓄積領域に電荷が蓄積されていない状態、破線は蓄積されている状態。

【図 4】 図 1 に示した本発明の論理装置を構成する論理素子の電流電圧特性図と回路図、（a）は電荷蓄積領域に電荷が蓄積されていない状態、（b）は蓄積されている状態。

【図 5】 本発明の実施形態 1 にかかる論理装置の回路図。

【図 6】 本発明の実施形態 1 にかかる論理装置の回路図。

【図 7】 本発明の実施形態 1 にかかる論理装置の入力波形と出力波形を示す図。

【図 8】 本発明の実施形態 1 にかかる論理装置の回路図。

【図 9】 本発明の実施形態 1 にかかる論理装置を構成する論理素子を集積化した論理装置の断面図。

【図 1 0】 本発明の実施形態 2 にかかる論理装置の回路図。

【図 1 1】 本発明の実施形態 2 にかかる論理装置の回路図。

【図 1 2】 本発明の実施形態 2 にかかる論理装置の入力波形と出力波形を示す図。

【図 1 3】 本発明の実施形態 2 にかかる論理装置を構成する論理素子を集積化した論理装置の断面図。

【図 1 4】 不揮発性メモリ機能を内蔵する本発明の要素素子で構成された論理ツリーを演算部、論理ツリーの出力に応じて要素素子のプログラム状態を制御する制御回路が混載された L S I のプログラム制御の手順を示す図。

【図 1 5】 従来のフラッシュメモリの断面図。

【図 1 6】 従来のフラッシュメモリの電流電圧特性図。

【図 1 7】 従来のリコンフィギャラブル・コンピューティング可能な回路図。

【符号の説明】

- 1 . . . 第 1 の電極
- 2 . . . 第 2 の電極
- 4 . . . 絶縁膜
- 5 . . . 電荷蓄積領域
- 6 . . . ゲート絶縁膜
- 7 . . . 制御ゲート電極
- 1 1 . . . 電源
- 1 2 . . . 抵抗負荷
- 1 3 . . . グランド
- 1 5 . . . 伝導島
- 1 6 . . . 絶縁膜
- 1 8 . . . 電荷蓄積領域に電荷が蓄積されていない状態
- 1 9 . . . 電荷蓄積領域に電荷が蓄積されている状態

2 1 . . . アンプ

1 0 0 . . . 半導体基板

1 0 1 . . . トンネル絶縁膜

1 0 2 . . . トンネル絶縁膜

1 0 3 . . . トンネル絶縁膜

1 0 4 . . . キャパシタ

1 0 5 . . . キャパシタ

2 0 0 . . . メモリ効果の制御回路

2 0 1 . . . 不揮発性メモリ効果を内蔵する単一電子素子による論理ツリー

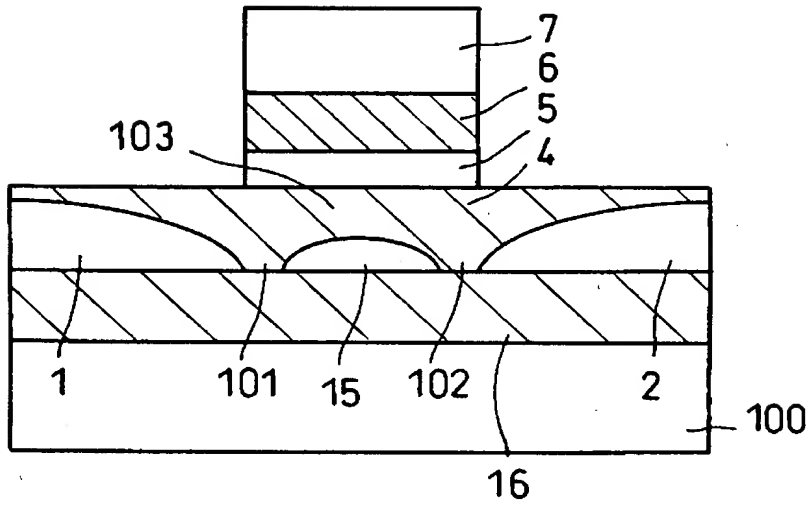
2 0 2 . . . 不揮発性メモリ効果を内蔵する単一電子素子による論理ツリー

2 0 3 . . . 不揮発性メモリ効果を内蔵する単一電子素子による論理ツリー

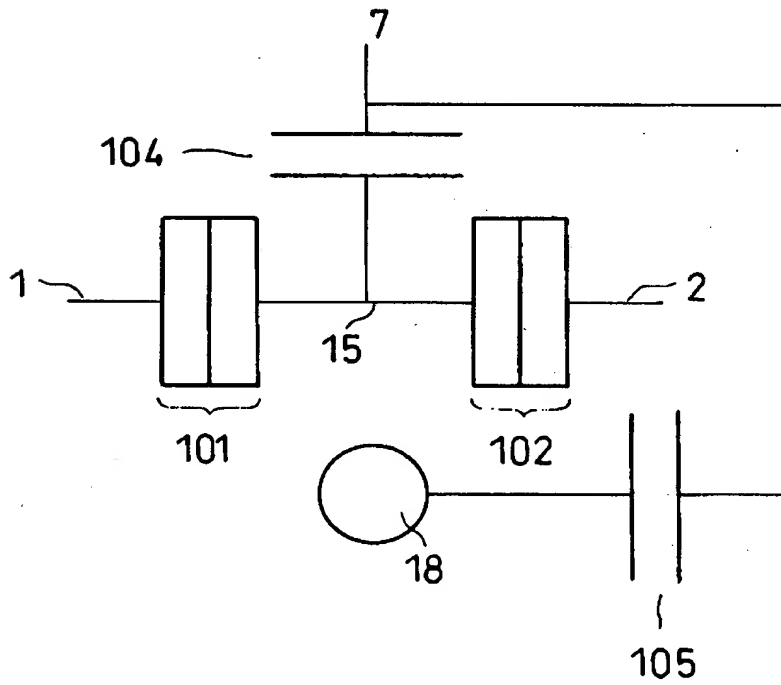
2 0 4 . . . CMOS回路

【書類名】 図面

【図 1】

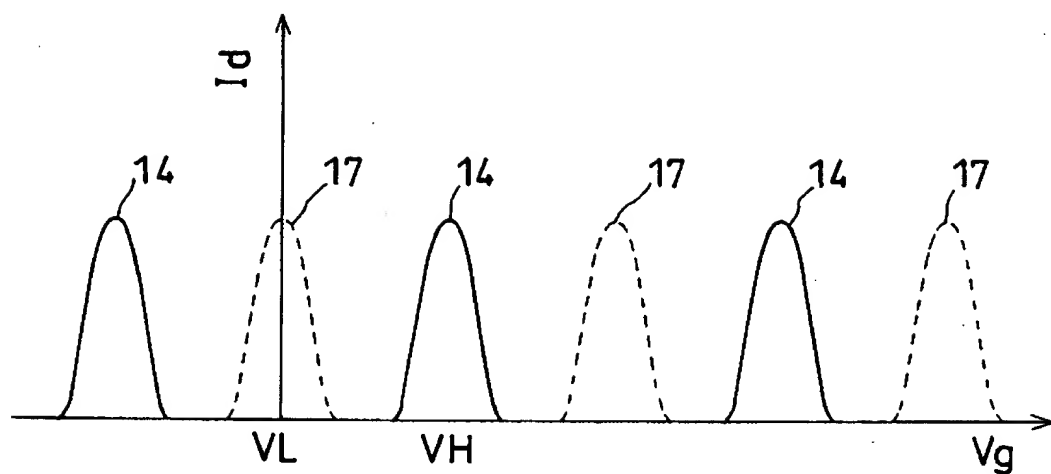


【図 2】

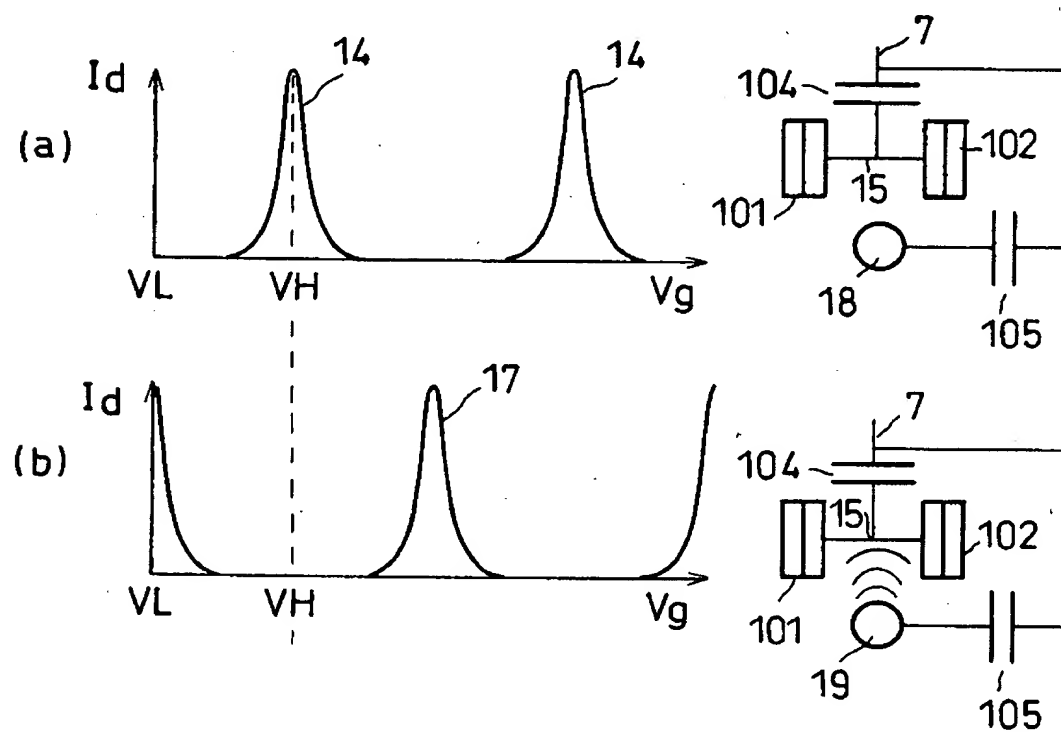




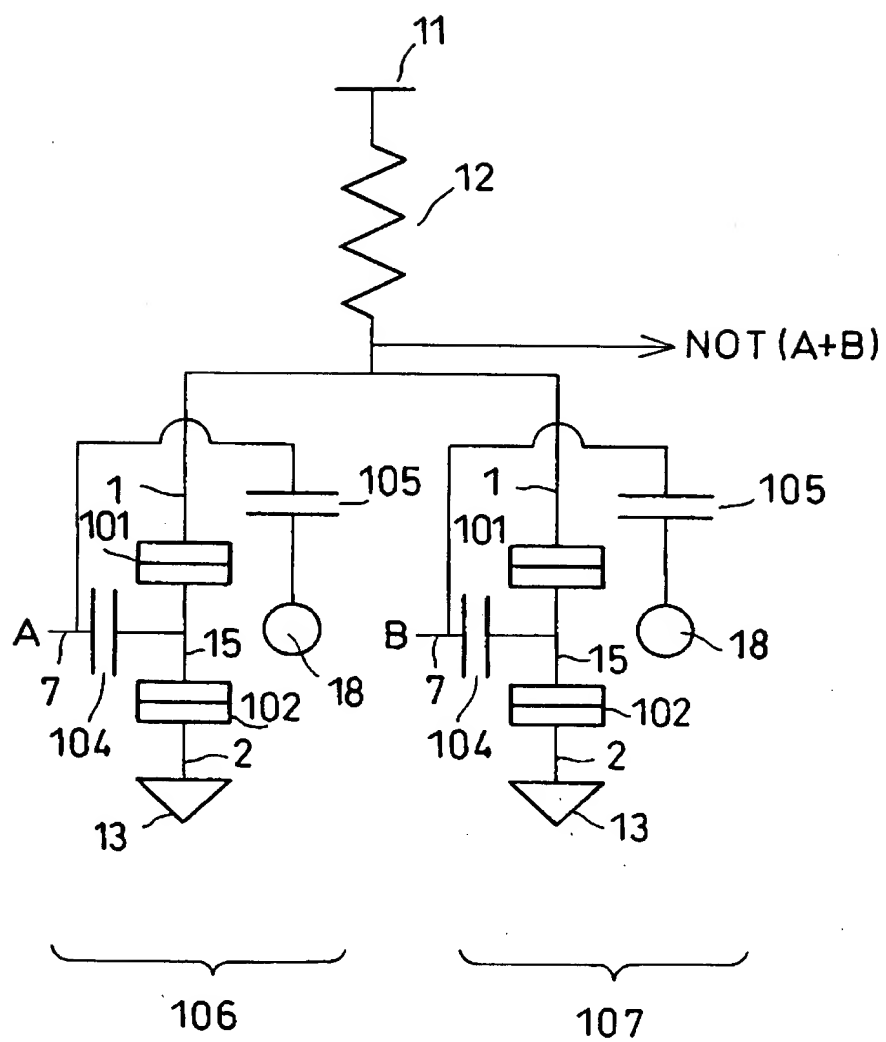
【図3】



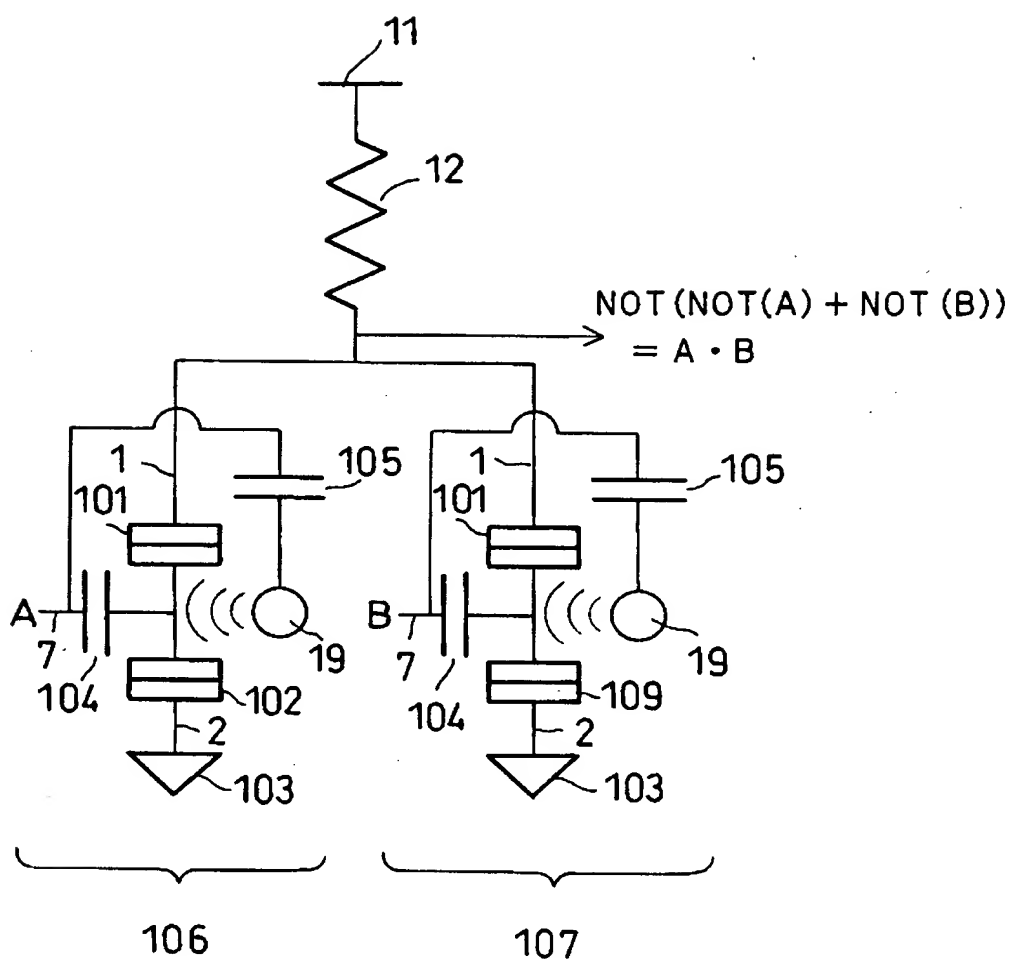
【図4】



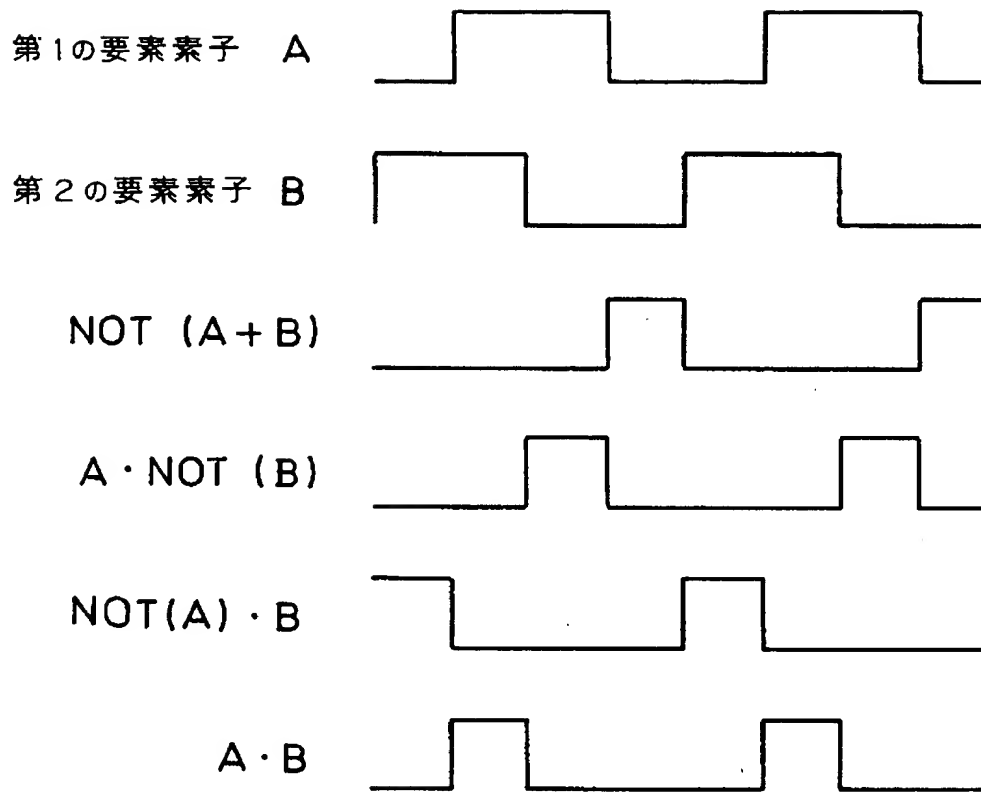
【図 5】



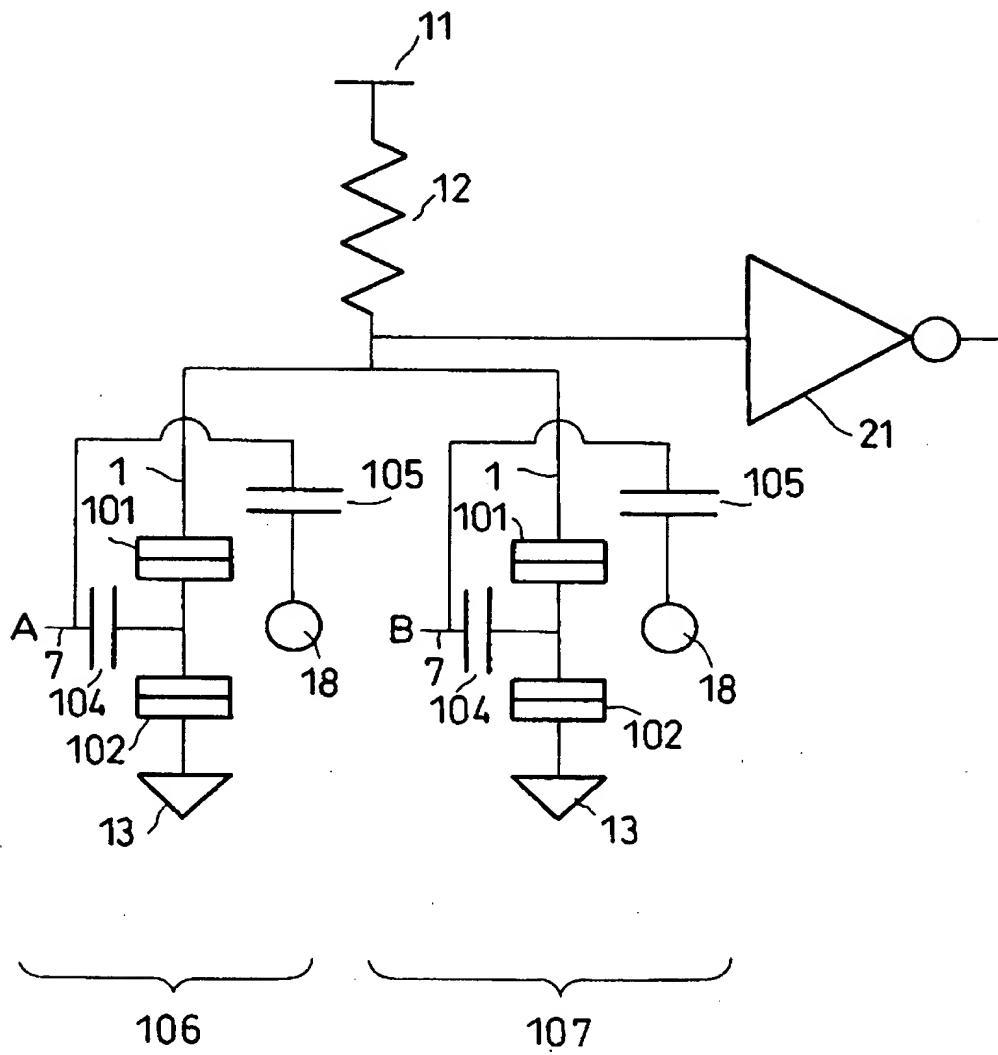
【図 6】



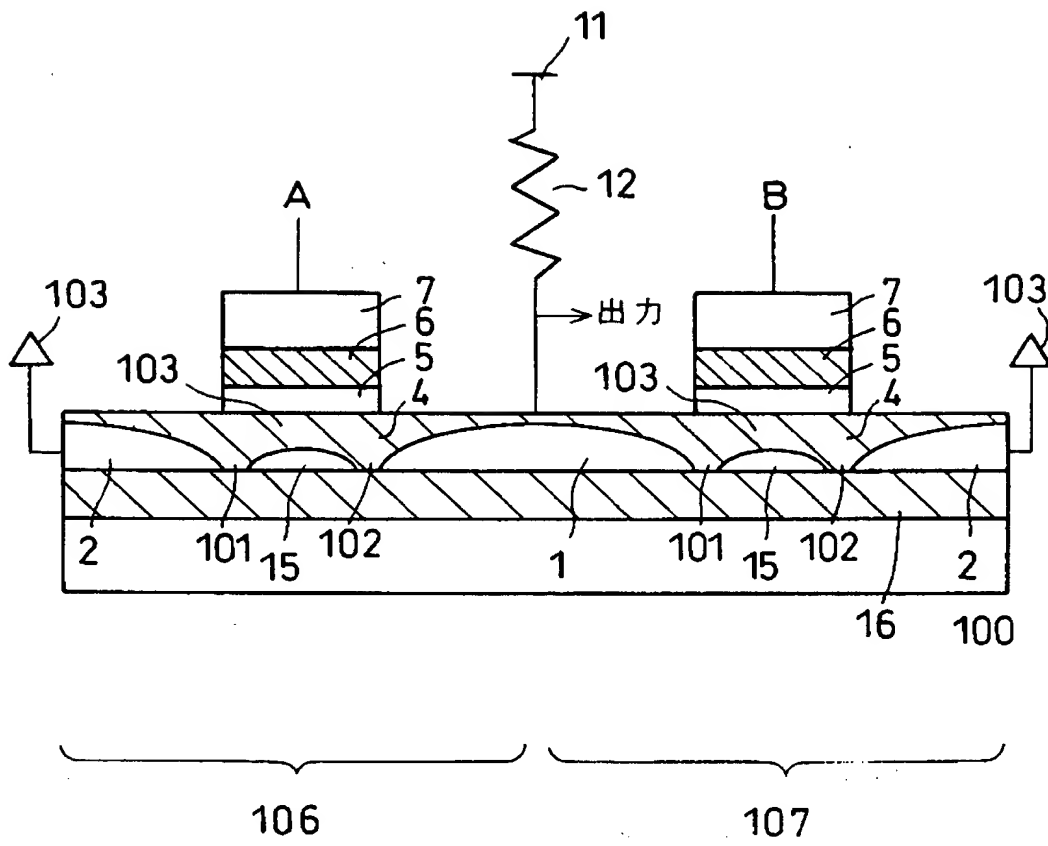
【図 7】



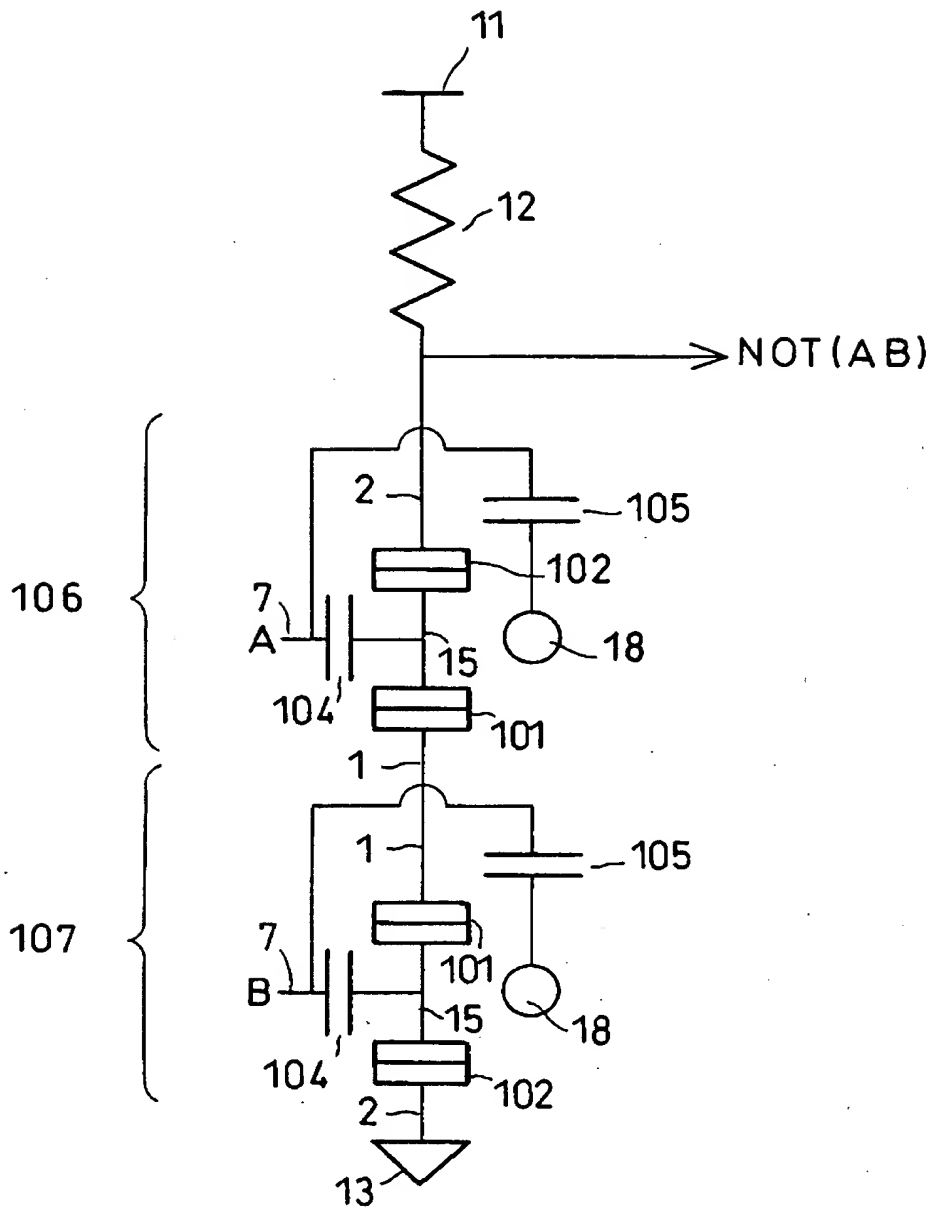
【図 8】



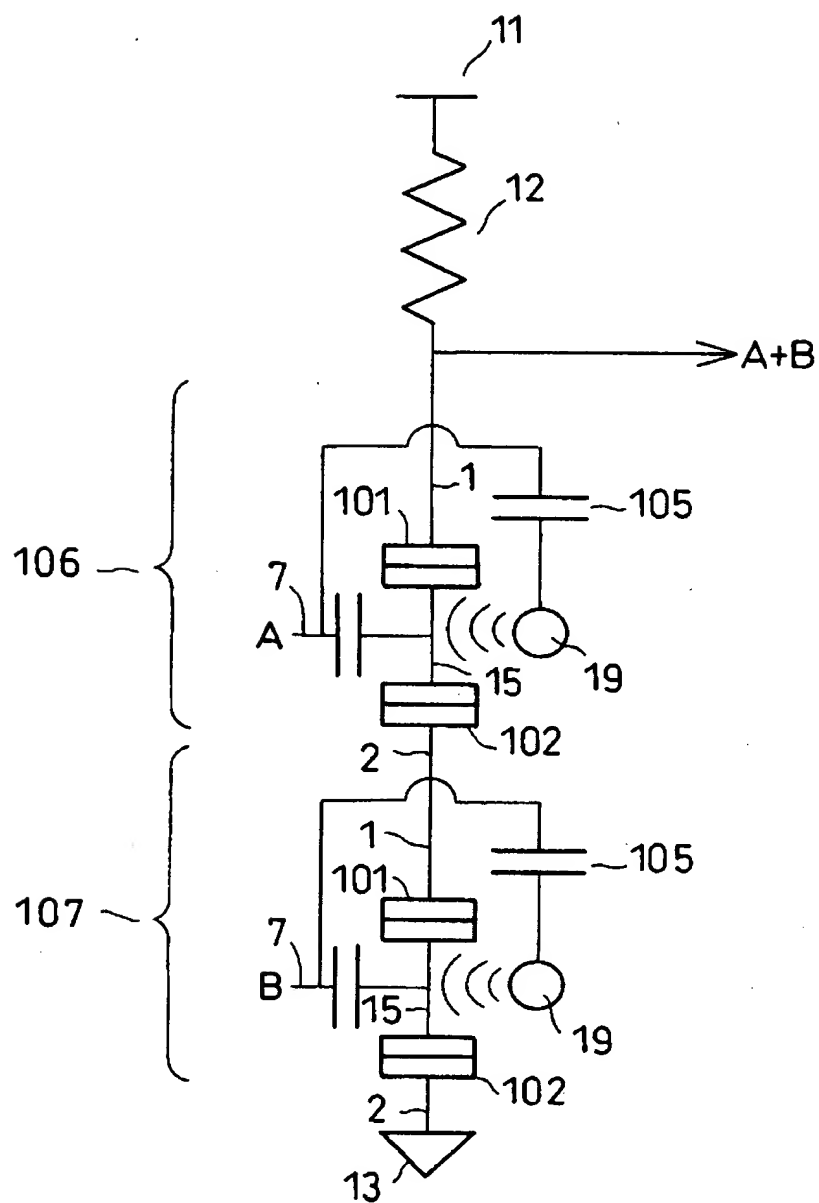
【図 9】



【図10】

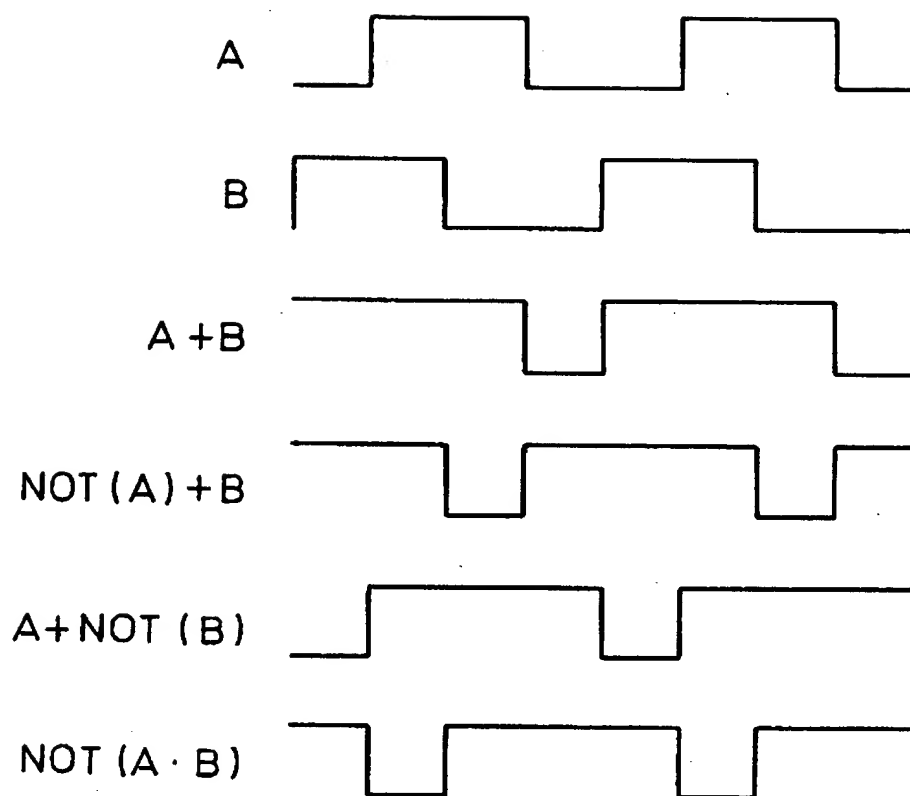


【図 1 1】

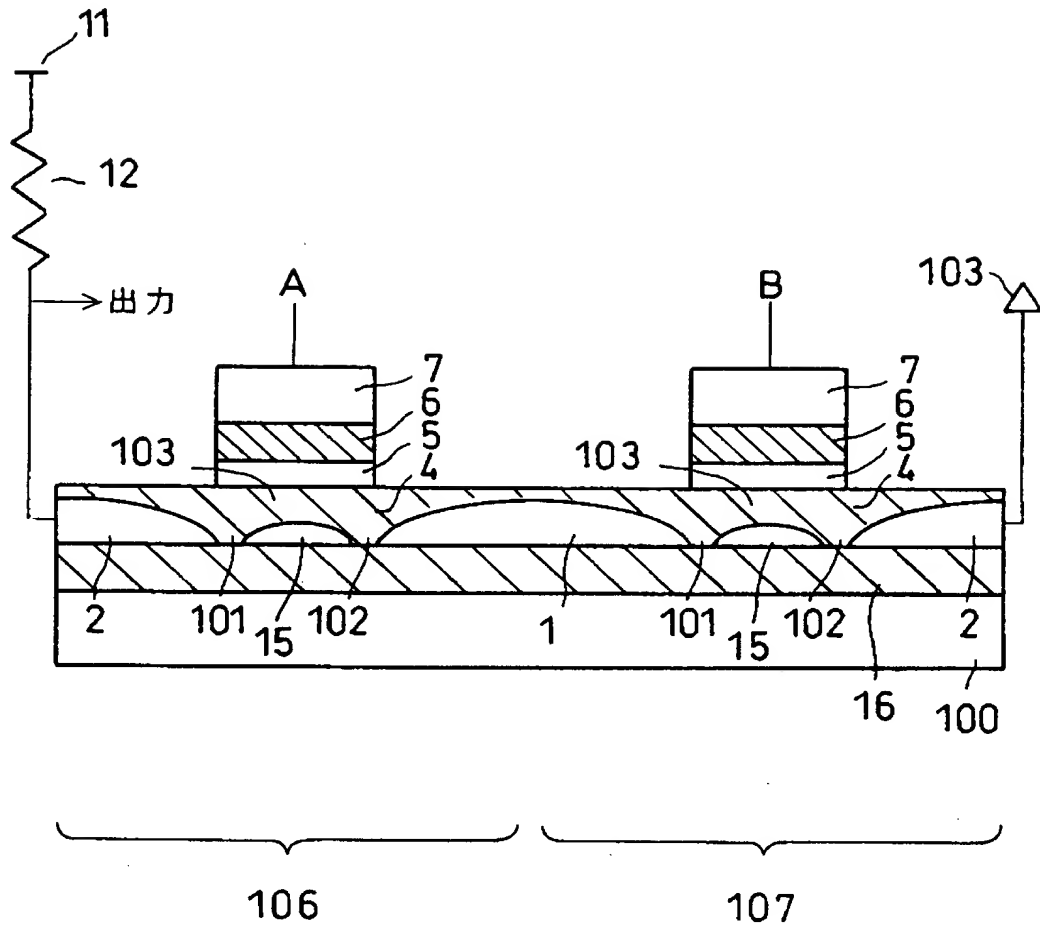




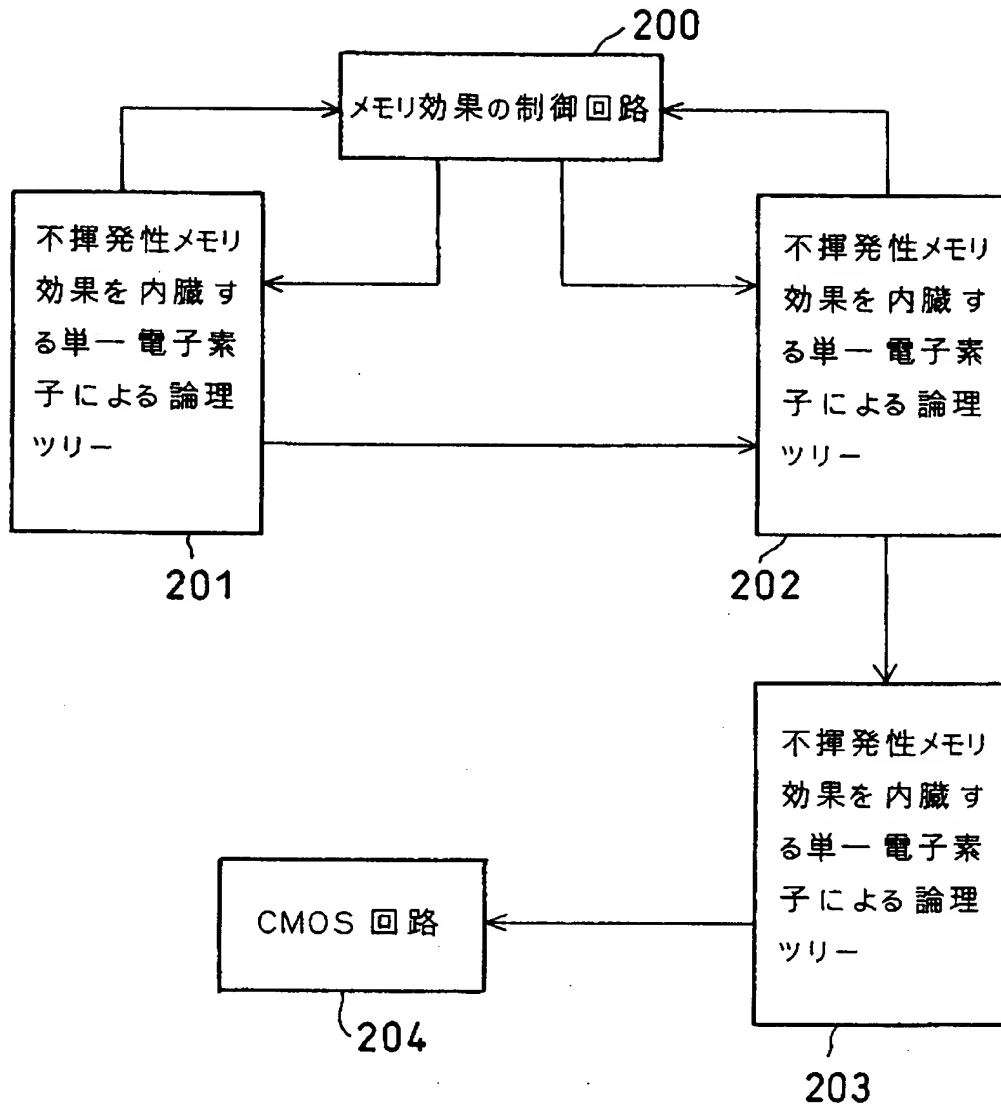
【図 1 2】



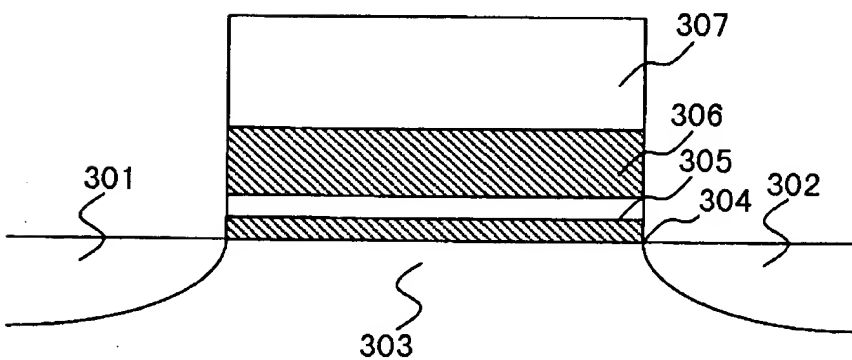
【図 1 3】



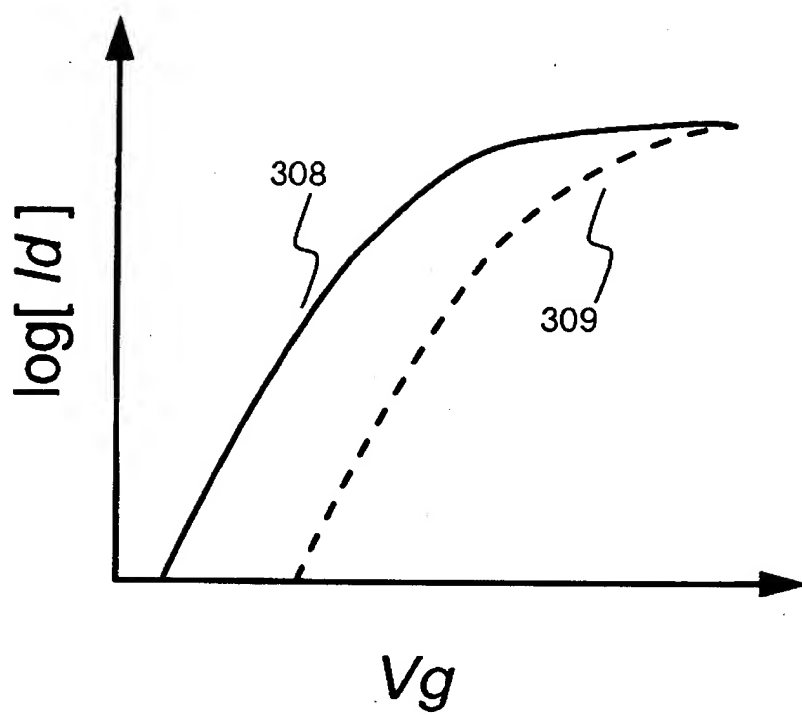
【図 14】



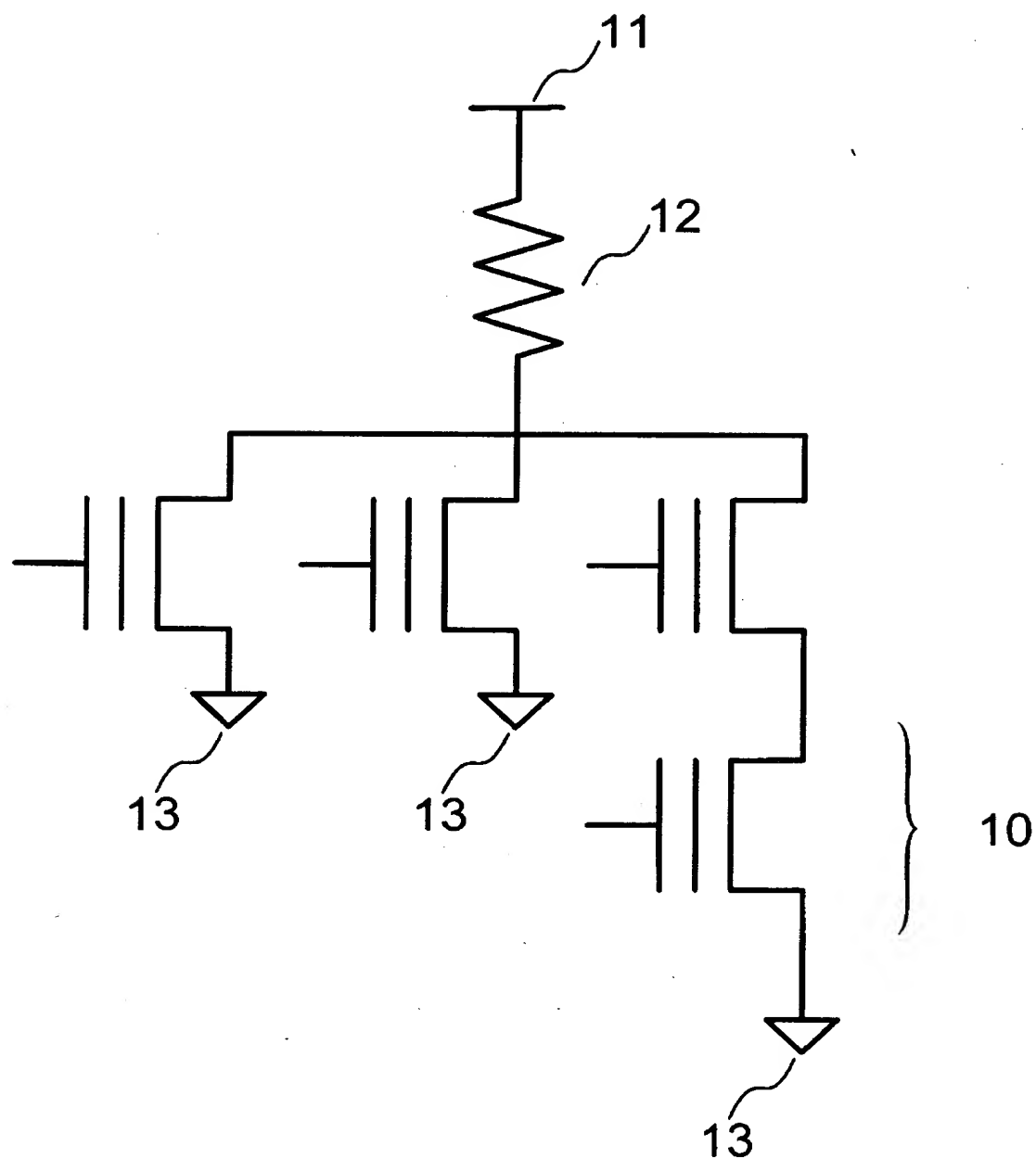
【図 15】



【図 1 6】



【図17】



【書類名】 要約書

【要約】

【課題】

駆動電圧が低く保持特性も良好な要素素子を用いることで、極めて高い歩留まり向上が期待されるリコンフィギャラブル・コンピューティングが可能な L S I を提供することを目的とする。

【解決手段】

少なくとも 2 つのトンネル障壁を有する伝導島と、前記伝導島と前記トンネル障壁を介して接続された第 1 の電極及び第 2 の電極と、前記伝導島と対向配置された電荷蓄積領域とからなる第 1 及び第 2 の要素素子を具備し、前記第 1 の要素素子における前記第 1 の電極及び前記第 2 の要素素子における前記第 1 の電極が接続されていることを特徴とする論理装置。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日  
[変更理由] 新規登録  
住 所 神奈川県川崎市幸区堀川町72番地  
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝